

PAT-NO: JP404051735A

DOCUMENT-IDENTIFIER: JP 04051735 A

TITLE: BRIDGE DEVICE

PUBN-DATE: February 20, 1992

INVENTOR-INFORMATION:

NAME

INANAMI, AKIRA

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP

COUNTRY

N/A

APPL-NO: JP02159804

APPL-DATE: June 20, 1990

INT-CL (IPC): H04L012/40

US-CL-CURRENT: 370/401, 370/FOR.154

ABSTRACT:

PURPOSE: To make data transfer highly efficient by calculating a traffic of a reception data of each input output means and revising the size of each storage area assigned to a data storage means based on the calculated traffic.

CONSTITUTION: A bridge device 20 interconnects plural LANs to make data transfer between terminal equipments and is provided with a CPU 21, a program memory 22, an internal bus 23, input output interfaces 25-1-25-n corresponding to plural LANs 24-1-24-n and a buffer memory 26. The size of storage areas 26-1-26-n of the buffer memory 26 is revised dynamically corresponding to the traffic of the input output interfaces 25-1-25-n. Thus, the storage capacity of the storage area corresponding to the input output interface with much traffic is set large and the storage capacity of the storage area corresponding to the input output interface with less traffic is set small. Thus, highly efficient data transfer is realized.

COPYRIGHT: (C)1992,JPO&Japio

⑫ 公開特許公報(A) 平4-51735

⑩ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)2月20日

H 04 L 12/40

7928-5K

H 04 L 11/00

3 2 0

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 ブリッジ装置

⑮ 特 願 平2-159804

⑯ 出 願 平2(1990)6月20日

⑰ 発 明 者 井 奈 波 亮 東京都青梅市末広町2丁目9番地 株式会社東芝青梅工場内

⑱ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑲ 代 理 人 弁 理 士 鈴 江 武 彦 外3名

明 細 書

1. 発明の名称

ブリッジ装置

2. 特許請求の範囲

複数のネットワーク間を結合するブリッジ装置において、

各々が対応するネットワークとデータを授受する複数の入出力手段と、これら複数の入出力手段にそれぞれ対応して割り当てられた複数の記憶領域を有し、前記各入出力手段によって受信されたデータを対応する記憶領域に格納するデータ記憶手段と、前記各入出力手段の受信データのトラフィック量を算出し、その算出したトラフィック量に基づいて、前記データ記憶手段に割り当てられた各記憶領域の大きさを変更する手段とを具備することを特徴とするブリッジ装置。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

この発明は複数のネットワーク間を結合する

ブリッジ装置に関する。

(従来の技術)

一般に、ブリッジ装置は、複数のローカルエリアネットワーク(LAN)間を接続するために用いられている。例えば、第2図に示されているように、2個のLAN1, 2間にブリッジ装置(BRG)3を配置した場合には、LAN1に接続されている端末N1~N3とLAN2に接続されている端末N4~N7との間のデータ転送をそのブリッジ装置3によって実現することができる。

このようなブリッジ装置3は、従来、第3図のように構成されていた。ここでは、n個のLANを相互接続する場合のブリッジ装置3の構成が示されている。第3図において、11はブリッジ装置3全体の動作を制御するCPU、12はCPU11の動作を制御するプログラムが格納されているプログラムメモリ、13は内部バス、14-1~14-nはLAN、15-1~15-nはn個のLAN14-1~14-nにそれぞれ対応する入出力インターフェース(1NF)、18は各入出力インターフェースで受

信されたフレームが格納されるバッファメモリ、16-1～16-nはn個の入出力インターフェース15-1～15-nにそれぞれ対応してバッファメモリ16に割り当てられた記憶領域である。

このブリッジ装置3において、入出力インターフェース15-1～15-nを介して受信されたフレームはバッファメモリ16に一旦格納される。そして、フレームのヘッダ部に含まれている転送先アドレスがCPU11によってチェックされる。その転送先アドレスに対応する出方路が存在すれば、受信フレームはその出方路に対応する入出力インターフェース15-1～15-nを介してLAN14-1～14-nに送信される。

例えば、LAN14-1からのフレームは入出力インターフェース15-1で受信され、バッファメモリ16の記憶領域16-1に格納される。そして、その受信フレームの転送先アドレスがチェックされ、その受信フレームがLAN14-2に送出すべきフレームであると判断されると、その受信フレームは入出力インターフェース15-2を介してLAN14-2へ

送信される。

この様に、入出力インターフェース15-1で受信されたフレームはバッファメモリ16の記憶領域16-1に格納され、同様に、入出力インターフェース15-2～15-nで受信されたフレームはそれぞれバッファメモリ16の記憶領域16-2～16-nに格納される。ここで、バッファメモリ16に割り当てられている記憶領域16-1～16-nは、入出力インターフェース15-1～15-nそれぞれに平等の記憶領域を割り振るために、同一の記憶容量に設定されている。

しかしながら、実際のデータ転送においては、トラフィック量は入出力インターフェース15-1～15-n毎に異なっているので、バッファメモリ16内の特定の記憶領域にだけ受信フレームが集中してしまうことがある。

この場合、その特定の記憶領域がオーバーフロー状態になると、その記憶領域に対応する入出力インターフェースはフレームを受信できなくなるので、ブリッジ装置3のデータ転送効率の低下つまりスループットの低下が引き起こされてしまう。

この様に、従来では、バッファメモリ16内に割り当てられた記憶領域16-1～16-nの記憶容量が固定的に決められていたので、バッファメモリ16に使用可能な空き領域が存在していても、トラフィックの高い入出力インターフェースに対応した記憶領域ではオーバーフロー状態が引き起こされ、これによってデータ転送効率が低下される欠点があった。

(発明が解決しようとする課題)

従来では、バッファメモリ内に割り当てられた記憶領域の各記憶容量が固定的に決められていたので、バッファメモリに使用可能な空き領域が存在していても、受信フレームが集中する記憶領域ではオーバーフロー状態が引き起こされ、これによってデータ転送効率が低下される欠点があった。

この発明はこのような点に鑑みてなされたもので、バッファメモリ内の各記憶領域の大きさを動的に変更できるようにしてバッファメモリの利用効率を向上させ、これによって充分に高効率の

データ転送を実行できるブリッジ装置を提供することを目的とする。

【発明の構成】

(課題を解決するための手段および作用)

この発明によるブリッジ装置は、複数のネットワーク間を結合するものであり、各々が対応するネットワークとデータを授受する複数の入出力手段と、これら複数の入出力手段にそれぞれ対応して割り当てられた複数の記憶領域を有し、前記各入出力手段によって受信されたデータを対応する記憶領域に格納するデータ記憶手段と、前記各入出力手段の受信データのトラフィック量を算出し、その算出したトラフィック量に基づいて、前記データ記憶手段に割り当てられた各記憶領域の大きさを変更する手段とを具備することを特徴とする。

このブリッジ装置においては、データ記憶手段の各記憶領域の大きさは各入出力手段の受信データのトラフィック量に対応して動的に変更されるので、トラフィック量の多い入出力手段に対応す

る記憶領域の記憶容量は大きく設定され、トラフィック量の少ない入出力手段に対応した記憶領域の記憶容量は小さく設定される。このため、データ記憶手段の限られた記憶空間を効率良く利用することができるようになるので、特定の入出力手段のトラフィック値が高くなっても、その記憶領域のオーバーフローを抑制することができる。したがって、効率の良いデータ転送が可能となる。

(実施例)

以下、図面を参照してこの発明の実施例を説明する。

第1図にはこの発明の一実施例に係わるブリッジ装置が示されている。このブリッジ装置20は、第2図および第3図で説明したブリッジ装置3と同様に、複数のLAN間を接続して端末間のデータ転送を行うものであり、CPU21、プログラムメモリ22、内部バス23、複数のLAN24-1～24-nにそれぞれ対応した入出力インターフェース25-1～25-n、およびバッファメモリ26を備えている。

CPU21はこのブリッジ装置20全体を制御する

ス25-1～25-nのトラフィック値を示す情報が格納されている。バッファ管理テーブル22aのデータ格納領域27-1～27-nには、記憶領域26-1～26-nの先頭アドレスを示す情報がそれぞれ格納されている。また、バッファ管理テーブル22aのデータ格納領域28-1～28-nには、入出力インターフェース25-1～25-nのトラフィック値に対応して決められたトラフィック値を示す情報がそれぞれ格納されている。ここで、データ格納領域28-1～28-nに格納される各トラフィック値は、必要なバッファ容量の値を示している。

入出力インターフェース25-1～25-nは、LAN24-1～24-nとフレームの送受信を行うものであり、フレーム受信時にはその受信フレームのデータ長をカウントすると共に、フレームを受信したことを通知する割り込み信号をCPU21に送信する。

バッファメモリ26は入出力インターフェース25-1～25-nで受信されたフレームを一時的に格納するためのものであり、n個の入出力インターフェース25-1～25-nにそれぞれ対応してn個の記憶

ものであり、受信フレームの転送先の検出やその受信フレームの送信処理制御および廃棄処理制御等を初め、バッファメモリ26に割り当てられる各記憶領域26-1～26-nの大きさを変更するための制御機能を有している。記憶領域26-1～26-nの大きさの変更は、各入出力インターフェース25-1～25-nのトラフィック値に基づいて実行される。このトラフィック値は、所定時間当たりの受信フレームの数と、受信フレームのデータ長とによって決定される。

プログラムメモリ22には、CPU21の動作を制御する各種プログラムが格納されている。このプログラムメモリ22には、さらに、バッファ管理テーブル22aも格納されている。

このバッファ管理テーブル22aは、バッファメモリ26に割り当てられる各記憶領域26-1～26-nの大きさを変更する処理を実行するためにCPU21によって参照されるものであり、このバッファ管理テーブル22aには、各記憶領域26-1～26-nの先頭アドレスを示す情報と各入出力インターフェー

領域26-1～26-nを備えている。各記憶領域26-1～26-nの記憶容量の大きさは、バッファ管理テーブル22aに格納されている先頭アドレスポインタの値によって規定される。例えば、記憶領域26-1の記憶容量の大きさは、バッファ管理テーブル22aのデータ領域27-1に格納された先頭アドレスポインタの値からデータ領域27-2に格納された先頭アドレスポインタの値までの範囲のアドレス空間で定義される。

次に、このように構成されるブリッジ装置20の動作を説明する。

LAN24-1～24-nから入力されるフレームは、入出力インターフェース25-1～25-nを介してバッファメモリ26の対応する記憶領域26-1～26-nにそれぞれ格納される。このフレーム受信時には、CPU21は、所定時間当たりの受信フレーム数およびフレームのデータ長に基づいてトラフィック値を各入出力インターフェース25-1～25-n毎に算出する。所定時間当たりの受信フレーム数は、フレームを受信する度に入出力インターフェース

25-1~25-nからCPU 21に送信される割り込み信号の数によって認識することができ、また受信フレームのデータ長は、入出力インターフェース25-1~25-nに設けられているカウンタ機能によって認識することができる。CPU 21は、入出力インターフェース25-1~25-nにおけるトラフィック量の比から各記憶領域26-1~26-nに割り当てる記憶容量の大きさを求め、それをトラフィック値としてバッファ管理テーブル22aに登録する。この場合、フレームが全く入力されなかった入出力インターフェースに対しても、予め設定された最小限度の記憶容量を割り当てるようにする。

このようにバッファ管理テーブル22aにトラフィック値を登録することによって、記憶領域26-1~26-nに対応した先頭アドレスポインタの値も決定される。つまり、記憶領域26-2の先頭アドレスポインタP2の値は、記憶領域26-1の先頭アドレスポインタP1の値と入出力インターフェース25-1のトラフィック値T1との合計値で与えられ、同様に、記憶領域26-3の先頭アドレスポインタ

P3の値は、記憶領域26-2の先頭アドレスポインタP2の値と入出力インターフェース25-2のトラフィック値T2との合計値で与えられる。

このようなCPU 21によるトラフィック量の算出およびバッファ管理テーブル22aへのデータ設定処理は、一定時間毎に行われ、これによって各記憶領域26-1~26-nの大きさも一定時間毎に変更される。

以上説明したように、この実施例においては、バッファメモリ26の各記憶領域26-1~26-nの大きさは各入出力インターフェース25-1~25-nのトラフィック量に対応して動的に変更されるので、トラフィック量の多い入出力インターフェースに対応した記憶領域の記憶容量は大きく設定され、トラフィック量の少ない入出力インターフェースに対応した記憶領域の記憶容量は小さく設定される。このため、バッファメモリ26の限られた記憶空間を効率良く利用することができるようになるので、特定の入出力インターフェースのトラフィック量が大きくなっても、その記憶領域のオーバーフロ

ーを抑制することができる。

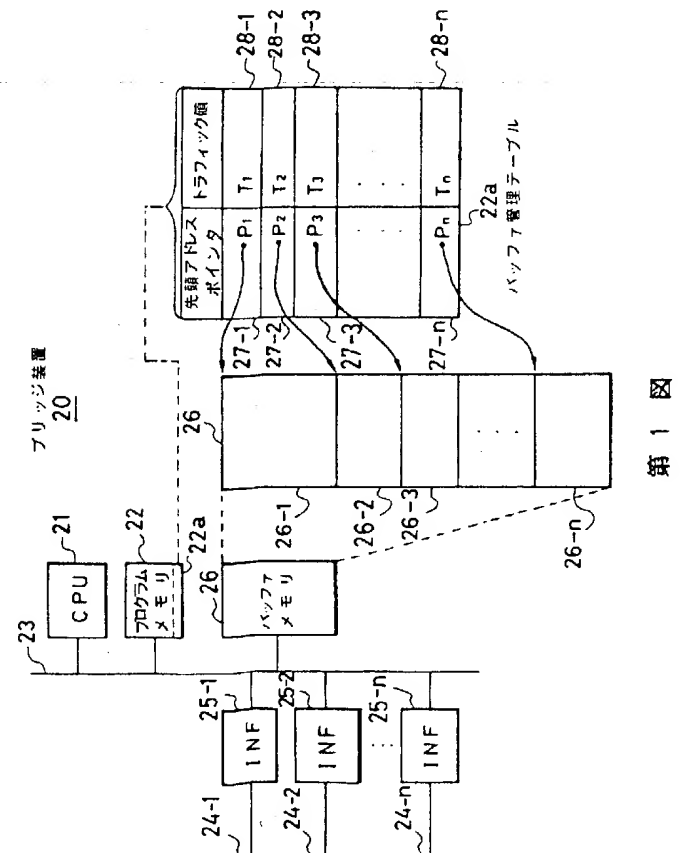
[発明の効果]

以上のように、この発明によれば、バッファメモリ内の各記憶領域の大きさを動的に変更できるようになり、バッファメモリの利用効率の向上が図れ、これによって充分に高効率のデータ転送を実現することができる。

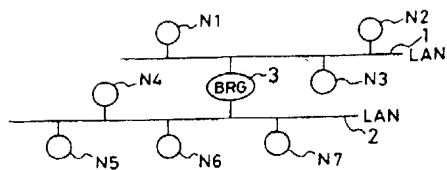
4. 図面の簡単な説明

第1図はこの発明の一実施例に係わるブリッジ装置の構成を示すブロック図、第2図および第3図は従来のブリッジ装置を説明するブロック図である。

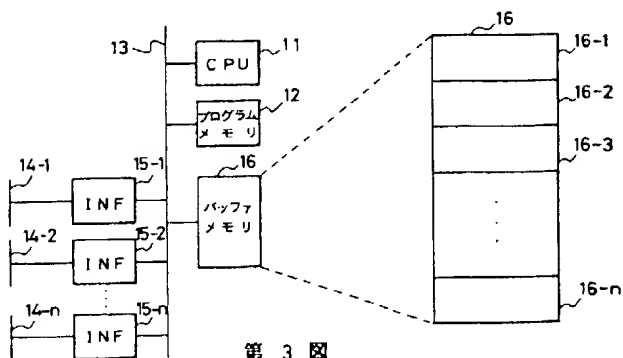
20…ブリッジ装置、21…CPU、22…プログラムメモリ、22a…バッファ管理テーブル、25-1~25-n…入出力インターフェース、26…バッファメモリ。



出願人代理人 井理士 鈴江 武彦



第 2 図



第 3 図